

특0127688

BEST AVAILABLE COPY

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/08		(45) 공고일자	1997년12월29일
		(11) 등록번호	특0127688
		(24) 등록일자	1997년10월23일
(21) 출원번호	특1993-030859	(65) 공개번호	특1995-021528
(22) 출원일자	1993년12월29일	(43) 공개일자	1995년07월26일
(73) 특허권자	현대전자산업주식회사 김주용		
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 이상호		
(74) 대리인	경기도 이천군 대월면 사동리 312-1 삼진APT 1-502 박해천		

심사관 : 이호기 (특허공보 제52125)

(54) 전하저장 전극 형성방법

요약

본 발명은 반도체 기억소자인 디램의 셀 캐패시터 제조방법에 관한 것으로, 특히 예정된 전하저장전극 형성부위에 도핑된 비정질실리콘막(10,12,14)과 도핑되지 않은 비정질실리콘막(11,13)을 하나의 공정 튜브 내에서 교대로 예정된 횟수만큼 연속 증착한 후 선택 식각하여 패턴을 형성하는 단계 ; 소정온도로 열처리하는 단계 ; 및 상기 도핑된 비정질실리콘막(10,12,14)과 도핑되지 않은 비정질실리콘막(11,13) 사이에 식각물차를 갖는 식각제로 식각하는 단계를 포함하여 이루어지는 것을 특징으로 함으로써 본 발명은 하나의 공정튜브를 이용함으로써 기존의 제조공정에 비해 제조 비용을 크게 절감할 수 있고, CVD 공정회수 증가에 따른 파티클 및 결함 증가로 인한 수율저하의 원인을 제거함으로써 수율을 크게 향상시킬 수 있으며, 또한 반구 형상을 가지는 전하저장전극을 제조함으로써 증착 면적에 큰 용량의 캐패시터를 확보할 수 있어 소자의 동작 특성을 크게 개선시킬 수 있는 효과를 얻을 수 있다.

도면도

도1

발명사

[발명의 명칭]

전하저장 전극 형성방법

[도면의 간단한 설명]

제1도는 일반적인 디램 셀의 부분 단면도.

제2도는 본 발명의 일실시예에 따른 전하저장 전극 형성 공정 단면도.

도면의 주요부분에 대한 부호의 설명

10,12,14 : 도핑 비정질실리콘막11,13 : 비도핑 비정질실리콘막

100 : 전하저장 전극

[발명의 상세한 설명]

본 발명은 반도체 제조 분야에 관한 것으로, 특히 반도체 기억소자인 디램의 셀 캐패시터의 하부 전극인 전하저장 전극 형성 공정에 관한 것이다.

디램(DRAM)이 고집적화 되어감에 따라 셀(cell)면적은 급격하게 축소되고 셀 면적의 축소에도 불구하고 소자의 동작에 필요한 셀 당 일정 용량 이상의 캐패시턴스를 확보해야 하는 어려움이 있다.

특히 초고집적용 반도체 소자에 있어서는 캐패시터의 정전용량 감소로 알파(α)입자에 의한 소프트에러(soft error)가 증가하는 문제점이 발생한다.

이에 따라 일정수준 이상의 전하보존용량 확보를 위해 고도의 공정기술 개발과 아울러 소자의 신뢰성 확보는 절실한 해결 과제가 되고 있다.

상기와 같은 요구에 부응하여 개발된 여러가지 3차원의 전하저장 전극 구조 가운데 핀(Fin) 구조는 그 제조 공정이 비교적 단순하여 널리 이용되어 왔으나 셀 면적의 축소에 따른 일정한 캐패시터 용량 확보를 위하여 핀 수를 늘려야 하고, 핀 수를 늘리는 만큼 화학기상증착 방식의 산화막 및 다결정실리콘막을 교대로 반복해서 여러 층을 형성해야 함으로써 공정회수 증가에 따른 비용(cost)증가와, 빈번한 화학기상증착 공정으로 인한 파티클 및 결함(defect) 증가로 인한 수율 저하 등의 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 핀 수를 증가시키지 않고, 별도의 공정

단계를 추가시키지 않으면서 정전용량을 증가시킬 수 있는 전하저장 전극 형성방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명의 전하저장 전극 형성방법은 소정의 하부층이 형성된 반도체 기판 상에 충전절연막을 형성하고 이를 선택적 식각하여 전하저장 전극 콘택홀을 형성하는 제1단계 ; 전체구조 상부에 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 교대하여 다수번 증착하는 제2단계 ; 전하저장 전극을 디파인하기 위한 식각 마스크를 사용하여 상기 불순물이 도핑된 비정질 실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 선택적 식각하는 제3단계 ; 소정의 열처리를 실시하여 상기 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 다결정화하고, 상기 불순물이 도핑되지 않은 비정질실리콘막의 일부에 상기 불순물이 침투되도록 하는 제4단계 ; 및 다결정화된 상기 불순물이 도핑된 비정질실리콘막과, 상기 불순물이 도핑되지 않은 비정질실리콘막의 불순물 확산부분을 제거하는 제5단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명을 상술한다.

먼저, 제1도는 일반적인 디램 셀을 형성함에 있어서, 실리콘 기판상의 소정 부위에 필드산화막(2), 워드 라인(4), 소스/드레인 영역(5) 및 비트 라인(도시되지 않음)을 형성한 후 평탄화된 표면 상부에 전하저장 전극 형성을 위한 콘택홀을 형성한 후, 불순물이 도핑된 비정질실리콘막(10, 이하 도핑 비정질실리콘막)이라 칭함)을 형성한 상태의 단면도이다. 미설명 도면 부호 3은 게이트 산화막, 6은 산화막 스페이서, 7은 충전절연막을 각각 나타낸 것이다.

제1도에 도시된 구조는 통상적인 공정을 통해 이루어질 수 있는 것이며, 이러한 구조가 형성된 상태에서, 이어지는 제2A도 내지 제2D도를 참조하여 본 발명의 일실시예를 상술한다.

우선, 제2A도는 하나의 공정루트를 사용하여 즉, 인-시츄(in-situ) 방식을 사용하여, 480 내지 550°C의 온도에서, Si_3H_8 또는 SiH_4 와 같은 가스를 주 반응가스로 하여 제1도의 도핑 비정질실리콘막(10) 상부에 1000 내지 2000 Å 정도의 두께로 불순물이 도핑되지 않은 비정질실리콘막(11, 이하 비도핑 비정질실리콘막이라 칭함)을 형성한 후, 다시 PH_3 가스를 첨가시켜 증착하여 인(P) 이온이 도핑된 비정질실리콘(phosphorous doped amorphous silicon)막(12)을 비도핑 비정질실리콘막(11)의 1/3 내지 1/2 두께로 형성하고 도핑되는 인의 농도를 매우 크게하여 인을 완전히 과포화시킨다. 계속하여, 비도핑 비정질실리콘막(11)의 형성시와 같은 공정을 진행하여 비도핑 비정질실리콘막(13)을 형성하고, 그 상부에 도핑 비정질실리콘막(14)을 형성한다. 계속하여, 도핑 비정질실리콘막(14) 상부에 전하저장 전극의 선곡을 정의하기 위한 포토레지스트 패턴(15)을 형성한다.

본 발명의 일실시예에서는 제2A도에 나타난 바와 같이 비도핑 비정질실리콘막(11, 13)을 두층만 형성하는 경우 즉, 두개의 전극 가진 전하저장 전극 형성 공정을 예로 설명하기로 한다.

다음으로, 제2B도에 도시된 바와 같이 포토레지스트 패턴(15)을 식각 장벽으로 하여 도핑 비정질실리콘막(10)까지 선택적으로 식각한다.

이어서, 제2C도는 650 내지 750°C의 온도의 불활성기체 분위기에서 30분 내지 60분 가량 열처리한 상태를 나타낸 것으로, 도핑 비정질실리콘막(10', 12', 14')이 다결정실리콘막으로 결정화되는 고상결정성장의 현상과정에 놓이게 되고, 도핑 비정질실리콘막(10', 12', 14')내에 함유되어 있는 인과 같은 불순물들은 완전히 활성화(activation)된 형태로 되고, 여분의 불순물들은 상부 또는 하부의 비도핑 비정질실리콘막(11', 13')으로 확산되어 간다. 비도핑 비정질실리콘막(11', 13')은 열처리과정에서 다결정실리콘막으로 결정화되며, 이때의 결정 입자(grain) 크기는 200 내지 500 Å 정도의 크기로 형성된다. 도핑 비정질실리콘막(10', 12', 14')에 과포화 되어 있는 불순물들은 다결정화된 비도핑 비정질실리콘막(11', 13')의 결정입자와 입자 사이의 결정립계(grain boundary) 지역으로 먼저 확산된 다음 결정 내부로 확산하게 되는데, 이와 같은 다결정 실리콘막에서의 불순물 확산 특성을 이용함으로써 도시된 바와 같이 반구 형상의 굴곡을 가진 표면 구조의 전하저장 전극을 형성할 수 있다. 이때, 결정립계까지 확산된 불순물이 결정의 내부로 너무 많이 침투되지 않도록 공정 조건을 조절해야 한다.

다음으로, 제2D도에 도시된 바와 같이 질산, 초산, 불산 및 순수가 혼합된 다결정실리콘막 식각제를 사용하여 습식식각한다. 이때, 열처리에 의해 형성된 불순물 확산 영역을 포함하는 다결정화된 도핑 비정질실리콘막(10', 12', 14')은 다결정화된 비도핑 비정질실리콘막(11', 13')보다 식각속도가 매우 빠른 식각 특성을 이용하여 예정된 시간동안 습식식각하면 반구형상의 표면 구조를 가지는 전하저장 전극(100)을 형성할 수 있다.

상기와 같이 이루어지는 본 발명은 하나의 공정루트를 사용함으로써 기존의 제조공정에 비해 제조비용을 크게 절감할 수 있고, 화학기상증착 공정 증가에 따른 파티클 및 결합 증가로 인한 수율 저하의 원인을 제거함으로써 수율을 크게 향상시킬 수 있으며, 또한 반구형상의 표면을 가지는 전하저장 전극을 제조함으로써 좁은 셀 면적에 큰 용량의 캐패시터를 확보할 수 있어 소자의 동작특성을 크게 개선하는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

소정의 하부층이 형성된 반도체 기판상에 충전절연막을 형성하고 이를 선택적 식각하여 전하저장 전극 콘택홀을 형성하는 제1단계 ; 전체구조 상부에 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 교대하여 다수번 증착하는 제2단계 ; 전하저장 전극을 디파인하기 위한 식각 마스크를 사용하여 상기 불순물이 도핑된 비정질 실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 선택적 식각하는 제3단계 ; 소정의 열처리를 실시하여 상기 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 다결정화하고, 상기 불순물이 도핑되지 않은 비정질실리콘막의 일부에 상기 불순물이 침투되도록 하는 제4단계 ; 및 다결정화된 상기 불순물이 도핑된 비정질실리콘막과, 상기 불순물이

도핑되지 않은 비정질실리콘막의 불순물 확산부분을 제거하는 제5단계를 포함하여 이루어진 전하저장 전극 형성방법.

청구항 2

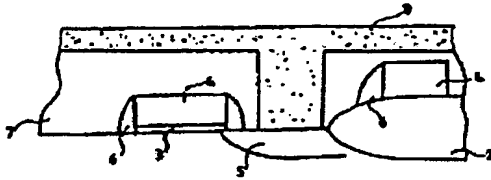
제1항에 있어서, 상기 열처리는 650℃ 내지 750℃의 온도에서 30분 내지 60분 동안 이루어지는 것을 특징으로 하는 전하저장 전극 형성방법.

청구항 3

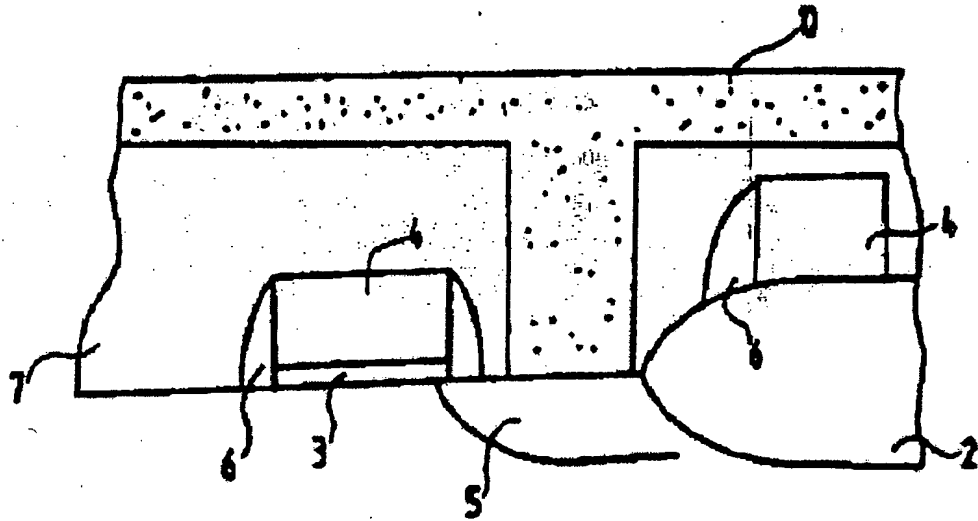
제1항에 있어서, 상기 제5단계는 질산, 초산, 불산 및 순수가 혼합된 습식 식각제를 사용하여 이루어진 것을 특징으로 하는 전하저장 전극 형성방법.

도면

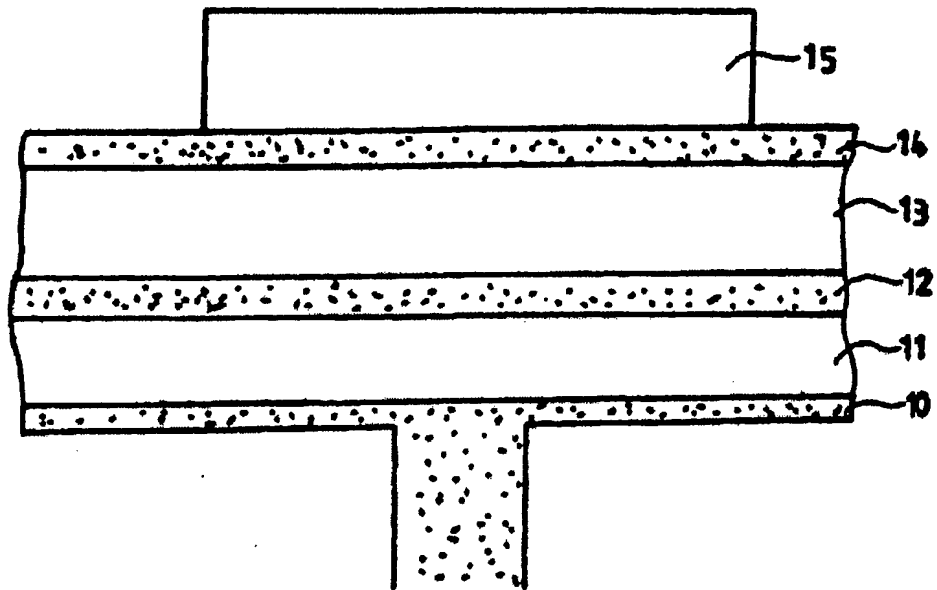
도면1



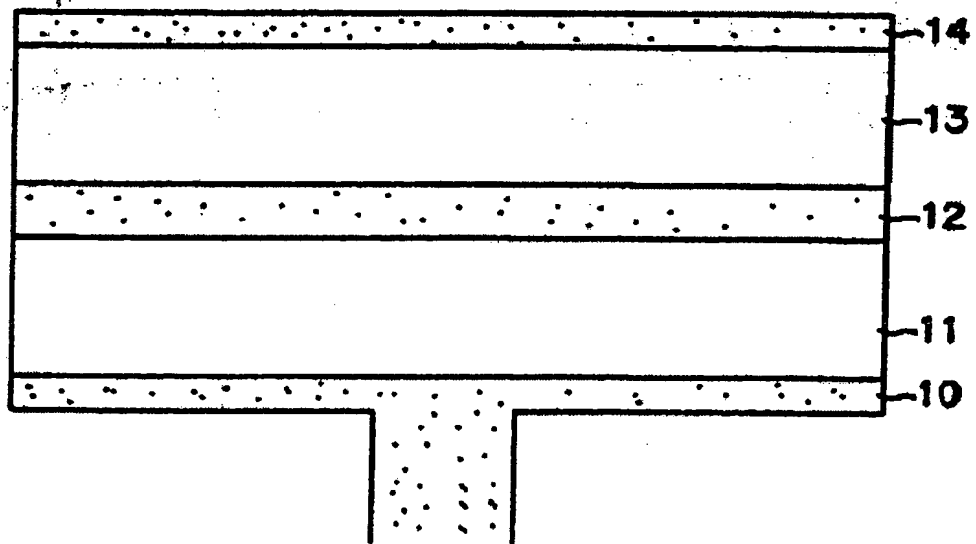
도면2



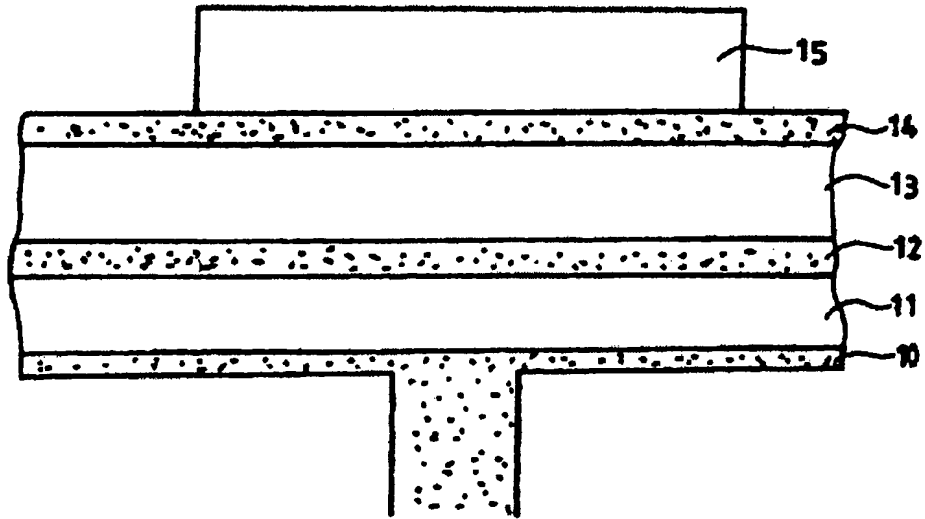
도 20



도 21



도 5A



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶		(11) 등록번호	특0127688
H01L 27/08		(24) 등록일자	1997년 10월 23일
(21) 출원번호	특 1993-030859	(65) 공개번호	특 1995-021528
(22) 출원일자	1993년 12월 29일	(43) 공개일자	1995년 07월 26일
(73) 특허권자	현대전자산업주식회사 김주용		
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 우상호		
(74) 대리인	경기도 이천군 대월면 사동리 312-1 삼진아파트 1-502 박해천		
심사관 : 이호기 (책 자공보 제5212호)			
(54) 전하저장 전극 형성방법			

요약

본 발명은 반도체 기억소자인 디램의 셀 캐패시터 제조방법에 관한 것으로, 특히 예정된 전하저장전극 형성부위에 도핑된 비정질실리콘막(10, 12, 14)과 도핑되지 않은 비정질실리콘막(11, 13)을 하나의 공정 튜브내에서 교대로 예정된 횟수만큼 연속 증착한 후 선택 식각하여 패턴을 형성하는 단계 ; 소정온도로 열처리하는 단계 ; 및 상기 도핑된 비정질실리콘막(10, 12, 14)과 도핑되지 않은 비정질실리콘막(11, 13) 사이에 식각물차를 갖는 식각제로 식각하는 단계를 포함하여 이루어지는 것을 특징으로 함으로써 본 발명은 하나의 공정튜브를 이용함으로써 기존의 제조공정에 비해 제조 비용을 크게 줄일수 있고, CVD 공정회수 증가에 따른 파티클 및 결함 증가로 인한 수율저하의 원인을 제거함으로써 수율을 크게 향상시킬 수 있으며, 또한 반구 형상을 가지는 전하저장전극을 제조함으로써 좁은 셀 면적에 큰용량의 캐패시터를 확보할 수 있어 소자의 동작 특성을 크게 개선시킬 수 있는 효과를 얻을 수 있다.

대표도

도 1

명세서

[발명의 명칭]

전하저장 전극 형성방법

[도면의 간단한 설명]

제1도는 일반적인 디램 셀의 부분 단면도.

제2도는 본 발명의 일실시예에 따른 전하저장 전극 형성 공정 단면도.

도면의 주요부분에 대한 부호의 설명

10, 12, 14 : 도핑 비정질실리콘막 11, 13 : 비도핑 비정질실리콘막

100 : 전하저장 전극

[발명의 상세한 설명]

본 발명은 반도체 제조 분야에 관한 것으로, 특히 반도체 기억소자인 디램의 셀 캐패시터의 하부 전극인 전하저장 전극 형성 공정에 관한 것이다.

디램(DRAM)이 고집적화 되어감에 따라 셀(cell)면적은 급격하게 축소되고 셀 면적의 축소에도 불구하고 소자의 동작에 필요한 셀 당 일정 용량 이상의 캐패시턴스를 확보해야 하는 어려움이 있다.

특히 초고집적용 반도체 소자에 있어서는 캐패시터의 정전용량 감소로 알파(α)입자에 의한 소프트에러(soft error)가 증가하는 문제점이 발생한다.

이에 따라 일정수준 이상의 전하보존용량 확보를 위해 고도의 공정기술 개발과 아울러 소자의 신뢰성 확보는 절실한 해결 과제가 되고 있다.

상기와 같은 요구에 부응하여 개발된 여러가지 3차원의 전하저장 전극 구조 가운데 핀(Fin) 구조는 그 제조 공정이 비교적 단순하여 널리 이용되어 왔으나 셀 면적의 축소에 따른 일정한 캐패시터 용량 확보를 위하여 핀 수를 늘려야 하고, 핀 수를 늘리는 만큼 화학기상증착 방식의 산화막 및 다결정실리콘막을 교대로 반복해서 여러 층을 형성해야 함으로써 공정회수 증가에 따른 비용(cost)증가와, 빈번한 화학기

상증착 공정으로 인한 파티클 및 결함(defect) 증가로 인한 수율 저하 등의 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 핀 수를 증가시키지 않고, 별도의 공정 단계를 추가시키지 않으면서 정전용량을 증가시킬 수 있는 전하저장 전극 형성방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명의 전하저장 전극 형성방법은 소정의 하부층이 형성된 반도체 기판 상에 층간절연막을 형성하고 이를 선택적 식각하여 전하저장 전극 콘택홀을 형성하는 제1단계 ; 전체 구조 상부에 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 교대하여 다수 번 증착하는 제2단계 ; 전하저장 전극을 디파인하기 위한 식각 마스크를 사용하여 상기 불순물이 도핑된 비정질 실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 선택적 식각하는 제3단계 ; 소정의 열처리 실시하여 상기 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 다결정화하고, 상기 불순물이 도핑되지 않은 비정질실리콘막의 일부에 상기 불순물이 침투되도록 하는 제4단계 ; 및 다결정화된 상기 불순물이 도핑된 비정질실리콘막과, 상기 불순물이 도핑되지 않은 비정질실리콘막의 불순물 확산부분을 제거하는 제5단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

먼저, 제1도는 일반적인 디램 셀을 형성함에 있어서, 실리콘 기판상의 소정 부위에 필드산화막(2), 워드 라인(4), 소스/드레인 영역(5) 및 비트 라인(도시되지 않음)을 형성한 후 평탄화된 표면 상부에 전하저장 전극 형성을 위한 콘택홀을 형성한 후, 불순물이 도핑된 비정질실리콘막(10, 이하 도핑 비정질실리콘막이라 칭함)을 형성한 상태의 단면도이다. 미설명 도면 부호 3은 게이트 산화막, 6은 산화막 스페이서, 7은 층간절연막을 각각 나타낸 것이다.

제1도에 도시된 구조는 통상적인 공정을 통해 이를 수 있는 것이며, 이러한 구조가 형성된 상태에서, 이어지는 제2A도 내지 제2D도를 참조하여 본 발명의 일실시예를 상세히 설명한다.

우선, 제2A도는 하나의 공정튜브를 사용하여 즉, 인-시츄(in-situ) 방식을 사용하여, 480 내지 550 °C의 온도에서, SiH_4 또는 SiH_3 와 같은 가스를 주 반응가스로 하여 제1도의 도핑 비정질실리콘막(10) 상부에 1000 내지 2000 Å 정도의 두께로 불순물이 도핑되지 않은 비정질실리콘막(11, 이하 비도핑 비정질실리콘막이라 칭함)을 형성한 후, 다시 PH_3 가스를 첨가시켜 증착하여 인(P) 이온이 도핑된 비정질실리콘(phosphorous doped amorphous silicon)막(12)을 비도핑 비정질실리콘막(11)의 1/3 내지 1/2 두께로 형성하고 도핑되는 인의 농도를 매우 크게하여 인을 완전히 과포화시킨다. 계속하여, 비도핑 비정질실리콘막(11)의 형성시와 같은 공정을 진행하여 비도핑 비정질실리콘막(13)을 형성하고, 그 상부에 도핑 비정질실리콘막(14)을 형성한다. 계속하여, 도핑 비정질실리콘막(14) 상부에 전하저장 전극의 선택을 정의하기 위한 포토레지스트 패턴(15)을 형성한다.

본 발명의 일실시예에서는 제2A도에 나타낸 바와 같이 비도핑 비정질실리콘막(11, 13)을 두층만 형성하는 경우 즉, 두개의 핀을 가진 전하저장 전극 형성 공정을 예로 설명하기로 한다.

다음으로, 제2B도에 도시된 바와 같이 포토레지스트 패턴(15)을 식각 장벽으로 하여 도핑 비정질실리콘막(10)까지 선택적으로 식각한다.

이어서, 제2C도는 650 내지 750 °C의 온도의 불활성기체 분위기에서 30분 내지 60분 가량 열처리한 상태를 나타낸 것으로, 도핑 비정질실리콘막(10', 12', 14')이 다결정실리콘막으로 결정화되는 고상결정성장의 전이과정에 놓이게 되고, 도핑 비정질실리콘막(10', 12', 14')내에 함유되어 있는 인과 같은 불순물들은 완전히 활성화(activation)된 형태로 되고 여분의 불순물들은 상부 또는 하부의 비도핑 비정질실리콘막(11', 13')으로 확산되어 간다. 비도핑 비정질실리콘막(11', 13')은 열처리과정에서 다결정실리콘막으로 결정화되며, 이때의 결정 입자(grain) 크기는 200 내지 500 Å 정도의 크기로 형성된다. 도핑 비정질실리콘막(10', 12', 14')에 과포화 되어 있는 불순물들은 다결정화된 비도핑 비정질실리콘막(11', 13')의 결정입자와 입자 사이의 결정립계(grain boundary) 지역으로 먼저 확산된 다음 결정 내부로 확산하게 되는데, 이와 같은 다결정 폴리실리콘막에서의 불순물 확산 특성을 이용함으로써 도시된 바와 같이 반구 형상의 굴곡을 가진 표면 구조의 전하저장 전극을 형성할 수 있다. 이때, 결정립계까지 확산된 불순물이 결정의 내부로 너무 많이 침투되지 않도록 공정 조건을 조절해야 한다.

다음으로, 제2D도에 도시된 바와 같이 질산, 초산, 불산 및 순수가 혼합된 다결정실리콘막 식각제를 사용하여 습식식각한다. 이때, 열처리에 의해 형성된 불순물 확산 영역을 포함하는 다결정화된 도핑 비정질실리콘막(10', 12', 14')은 다결정화된 비도핑 비정질실리콘막(11', 13')보다 식각속도가 매우 빠른 식각 특성을 이용하여 예정된 시간동안 습식식각하면 반구형상의 표면 구조를 가지는 전하저장 전극(100)을 형성할 수 있다.

상기와 같이 이루어지는 본 발명은 하나의 공정튜브를 사용함으로써 기존의 제조공정에 비해 제조비용을 크게 줄일 수 있고, 화학기상증착 공정 증가에 따른 파티클 및 결함 증가로 인한 수율 저하의 원인을 제거함으로써 수율을 크게 향상시킬 수 있으며, 또한 반구형상의 표면을 가지는 전하저장 전극을 제조함으로써 좁은 셀 면적에 큰 용량의 캐패시터를 확보할 수 있어 소자의 동작특성을 크게 개선하는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

소정의 하부층이 형성된 반도체 기판상에 층간절연막을 형성하고 이를 선택적 식각하여 전하저장 전극 콘택홀을 형성하는 제1단계 ; 전체구조 상부에 불순물이 도핑된 비정질실리콘막 및 불순물이 도핑되지 않은 비정질실리콘막을 교대하여 다수번 증착하는 제2단계 ; 전하저장 전극을 디파인하기 위한 식각 마

스크를 사용하여 상기 불순물이 도핑된 비정질 실리콘막 및 불순물이 도핑되지 않은 비정질 실리콘막을 선택적 식각하는 제3단계 ; 소정의 열처리를 실시하여 상기 불순물이 도핑된 비정질 실리콘막 및 불순물이 도핑되지 않은 비정질 실리콘막을 다결정화하고, 상기 불순물이 도핑되지 않은 비정질 실리콘막의 일부에 상기 불순물이 침투되도록 하는 제4단계 ; 및 다결정화된 상기 불순물이 도핑된 비정질 실리콘막과, 상기 불순물이 도핑되지 않은 비정질 실리콘막의 불순물 확산부분을 제거하는 제5단계를 포함하여 이루어진 전하저장 전극 형성방법.

청구항 2

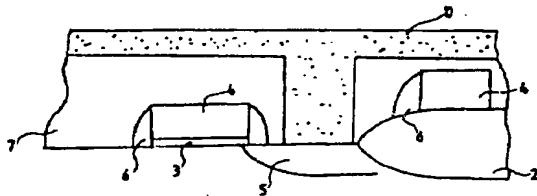
제1항에 있어서, 상기 열처리는 650℃ 내지 750℃의 온도에서 30분 내지 60분 동안 이루어지는 것을 특징으로 하는 전하저장 전극 형성방법.

청구항 3

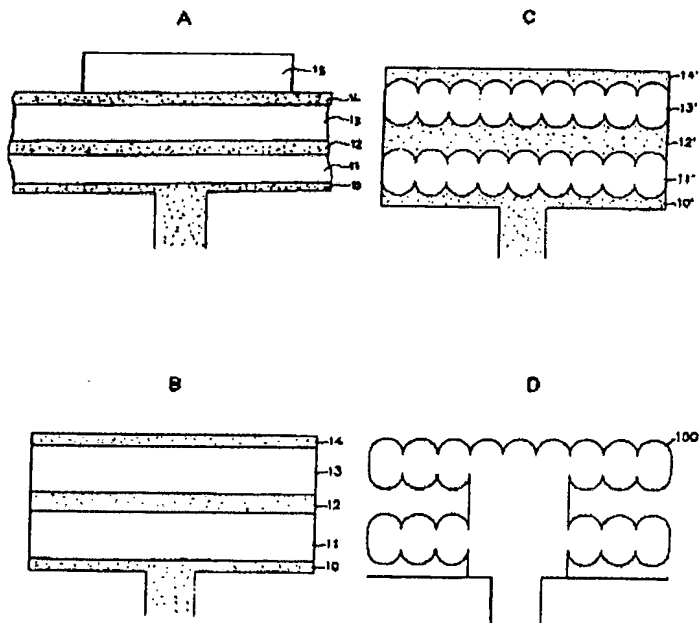
제1항에 있어서, 상기 제5단계는 질산, 초산, 불산 및 수소가 혼합된 습식 식각제를 사용하여 이루어진 것을 특징으로 하는 전하저장 전극 형성방법.

도면

도면1



도면2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.